

## CMOS LOGICAL CIRCUIT

Patent Number: JP60037822  
Publication date: 1985-02-27  
Inventor(s): MASUDA NORITAKA; others: 01  
Applicant(s): MITSUBISHI DENKI KK  
Requested Patent: ☐ JP60037822  
Application Number: JP19830147491 19830810  
Priority Number(s):  
IPC Classification: H03K19/21; H03K19/094  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To decrease number of required elements by using an inverter and a transmission gate to form an exclusive OR circuit.

**CONSTITUTION:** An input signal "A" of a terminal 1 is fed to an inverter 19a consisting of CMOS transistors (TRs) 17a, 17b and also fed to a gate of the transmission gates 16a, 16b comprising the CMOS TRs. The input signal A is fed similarly to the transmission gates 16a, 16b. An input signal B is fed to the drain of the transmission gate 16b and also to an inverter 19b comprising CMOS TRs 18a, 18b and further, an output of the inverter 19b is fed to the drain of the transmission gate 16a. An OR output of the gates 16a, 16b is obtained from a terminal 3 and its output becomes an exclusive OR output of the input signals "A", "B".

Data supplied from the **esp@cenet** database - I2

Japanese Patent Laid-Open No. SHO 60-37822

From the third line in the lower left column to the eleventh line in the lower right column:

Also, Fig. 6 is a circuit diagram showing part of the EX-OR shown in Fig. 5 by logic symbols. In the figure, reference numeral 16a denotes a first transmission gate consisting of a first P-channel CMOS transistor and a second N-channel CMOS transistor. Reference numeral 16b denotes a second transmission gate consisting of a third P-channel CMOS transistor and a fourth N-channel CMOS transistor. Reference numerals 17a and 17b denote P-channel CMOS transistors, respectively. Reference numerals 18a and 18b denote N-channel CMOS transistors, respectively. Reference numerals 19a and 19b denote inverters, respectively. Reference numeral 20 denotes the output terminal of the inverter 19a that outputs an output signal J. Reference numeral 21 denotes the output terminal of the inverter 19b that outputs an output signal I.

Next, operation of the above-described CMOS logic circuit will be described. First, when an input signal A is 0, the output signal J of the inverter 19a is 1. Therefore, the first transmission gate 16a is made off (non-conducting condition), and the second transmission gate 16b is made on (conducting condition). Because of this, the state of an input signal B, as it is, is transmitted to an output signal C that is output from the output terminal 3. Conversely, when the input signal A is 1, the first transmission gate 16a is made on, and the second transmission gate 16b is made off. Because of this, a signal  $\bar{B}$ , which is the inverted state of the input signal B, is transmitted to the output signal C that is output from the output terminal 3. In this way, the CMOS logic circuit can operate according to the truth table shown in Fig. 3.

a)

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
⑫ 公開特許公報(A) 昭60-37822

⑤ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑬ 公開 昭和60年(1985)2月27日  
H 03 K 19/21 8124-5J  
19/094 8326-5J  
審査請求 未請求 発明の数 2 (全5頁)

⑭ 発明の名称 CMOS論理回路

⑯ 特 願 昭58-147491

⑰ 出 願 昭58(1983)8月10日

⑱ 発 明 者 増 田 紀 隆 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 本 郷 勝 信 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

CMOS論理回路

2. 特許請求の範囲

(1)第1の入力信号が入力する第1の入力端子と、この第1の入力信号の否定信号が入力する第1の否定入力端子と、第2の入力信号が入力する第2の入力端子と、この第2の入力信号の否定信号が入力する第2の否定入力端子と、Pチャネルの第1のCMOSトランジスタとNチャネルの第2のCMOSトランジスタからなる第1のトランスミッシヨンゲートと、Pチャネルの第3のCMOSトランジスタとNチャネルの第4のCMOSトランジスタからなる第2のトランスミッシヨンゲートとを備え、上記第1のCMOSトランジスタのソースと第2のCMOSトランジスタのソースとが接続されたのち第2の否定入力端子に接続され、第1のCMOSトランジスタのゲートが第1の否定入力端子に接続され、第2のCMOSトランジスタのゲートと第3のCMOSトランジスタのゲートとが接続

されたのち第1の入力端子に接続され、第3のCMOSトランジスタのソースと第4のCMOSトランジスタのソースとが接続されたのち第2の入力端子に接続され、第4のCMOSトランジスタのゲートが第2の否定入力端子に接続され、第1のCMOSトランジスタのドレイン、第2のCMOSトランジスタのドレイン、第3のCMOSトランジスタのドレインおよび第4のCMOSトランジスタのドレインが共通に接続されたのち出力端子に接続されて構成され、正論理ではイクスクルーシブ・ノアとして機能し、負論理ではイクスクルーシブ・ノアとして機能することを特徴とするCMOS論理回路。

(2)第1の入力信号が入力する第1の入力端子と、この第1の入力信号の否定信号が入力する第1の否定入力端子と、第2の入力信号が入力する第2の入力端子と、この第2の入力信号の否定信号が入力する第2の否定入力端子と、Pチャネルの第1のCMOSトランジスタとNチャネルの第2のCMOSトランジスタからなる第1のトランスミッ

ションゲートと、Pチャネルの第3のCMOSトランジスタとNチャネルの第4のCMOSトランジスタからなる第2のトランスマッションゲートとを備え、第1のCMOSトランジスタのソースと第2のCMOSトランジスタのソースとが接続されたのち第2の否定入力端子に接続され、第1のCMOSトランジスタのゲートが第1の入力端子に接続され、第2のCMOSトランジスタのゲートと第3のCMOSトランジスタのゲートとが接続されたのち第1の否定入力端子に接続され、第3のCMOSトランジスタのソースと第4のCMOSトランジスタのソースとが接続されたのち第2の入力端子に接続され、第4のCMOSトランジスタのゲートが第1の入力端子に接続され、第1のCMOSトランジスタのドレイン、第2のCMOSトランジスタのドレイン、第3のCMOSトランジスタのドレインおよび第4のCMOSトランジスタのドレインとが共通に接続されたのち出力端子に接続されて構成され、正論理ではイクスクルーシブ・ノアとして機能し、負論理ではイクスクルーシブ・オアとして

機能することを特徴とするCMOS論理回路。

### 3. 発明の詳細な説明

#### (発明の技術分野)

この発明はCMOSトランジスタを用いて構成した排他的論理和(イクスクルーシブ・オア、以下EX-ORと言う)および排他的論理和の否定(イクスクルーシブ・ノア、以下EX-NORと言う)の論理機能を持つCMOS論理回路に関するものである。

#### (従来技術)

第1図は従来のCMOS論理回路を示す回路図であり、特にCMOSトランジスタを用いて構成されたEX-ORの正論理回路(「0」を低電圧レベル、「1」を高電圧レベルとする)である。同図において、(1)は入力信号Aが入力する第1の入力端子、(2)は入力信号Bが入力する第2の入力端子、(3)は出力信号Cが出力する出力端子、(4a)および(4b)は電源端子、(5a)～(5e)はPチャネルのCMOSトランジスタ、(6a)～(6f)はNチャネルのCMOSトランジスタである。

なお、上記構成によるEX-ORの論理記号による

回路図を第2図に示し、その真理値表を第1表に示すことができる。この第2図に示すEX-ORにおいて、(7)はアンドゲート、(8a)および(8b)はノアゲートである。

第 1 表

入 力		出 力
A	B	C
0	0	0
1	0	1
0	1	1
1	1	0

第3図は従来のCMOS論理回路を示す回路図であり、特にCMOSトランジスタを用いて構成したEX-NORの正論理回路である。同図において、(9)は入力信号Dが入力する第1の入力端子、(10)は入力信号Eが入力する第2の入力端子、(11)は出力信号Cが出力する出力端子、(12a)～(12e)はPチャネルのCMOSトランジスタ、(13a)～(13e)

はNチャネルのCMOSトランジスタである。

なお、上記構成によるEX-NORの論理記号による回路図を第4図に示し、その真理値表を第2表に示すことができる。この第4図に示すEX-NORにおいて、(14)はオアゲート、(15a)および(15b)はナンドゲートである。

第 2 表

入 力		出 力
D	E	F
0	0	1
1	0	0
0	1	0
1	1	1

しかしながら、従来のCMOS論理回路は多数のCMOSトランジスタ(例えば共に10個)必要とするため、これらの回路を集積回路で構成すると、占有面積が大きくなり、配線の静電容量も大きくなり、しかも容量負荷の増大によつて論理スイッ

テング時間も長くなるなどの欠点があつた。

( 発明の概要 )

したがつて、この発明の目的は回路構成に必要な CMOS トランジスタの数を少なくし、集積回路を小さな占有面積で実現し、さらに配線や他の静電容量および容量負荷を小さくでき、スイッチング時間を短かくすることができる CMOS 論理回路を提供するものである。

このような目的を達成するため、この発明は第 1 の入力信号が入力する第 1 の入力端子と、この第 1 の入力信号の否定信号が入力する第 1 の否定入力端子と、第 2 の入力信号が入力する第 2 の入力端子と、この第 2 の入力信号の否定信号が入力する第 2 の否定入力端子と、P チャネルの第 1 の CMOS トランジスタと N チャネルの第 2 の CMOS トランジスタからなる第 1 のトランスミツションゲートと、P チャネルの第 3 の CMOS トランジスタと N チャネルの第 4 の CMOS トランジスタからなる第 2 のトランスミツションゲートとを備え、上記第 1 の CMOS トランジスタのソースと第 2 の

CMOS トランジスタのソースとが接続されたのち第 2 の否定入力端子に接続され、第 1 の CMOS トランジスタのゲートが第 1 の否定入力端子に接続され、第 2 の CMOS トランジスタのゲートと第 3 の CMOS トランジスタのゲートとが接続されたのち第 1 の入力端子に接続され、第 3 の CMOS トランジスタのソースと第 4 の CMOS トランジスタのソースとが接続されたのち第 2 の入力端子に接続され、第 4 の CMOS トランジスタのゲートが第 2 の否定入力端子に接続され、第 1 の CMOS トランジスタのドレイン、第 2 の CMOS トランジスタのドレイン、第 3 の CMOS トランジスタのドレインおよび第 4 の CMOS トランジスタのドレインが共通に接続されたのち出力端子に接続されて構成され、正論理ではイクスクルーシブ・オアとして機能し、負論理ではイクスクルーシブ・ノアとして機能するものであり、以下実施例を用いて詳細に説明する。

( 発明の実施例 )

第 5 図はこの発明に係る CMOS 論理回路の一実

施例を示す回路図であり、特に CMOS トランジスタを用いて構成した EX-OR の正論理回路である。また、第 6 図は第 5 図に示す EX-OR の一部を論理記号で示した回路図である。同図において、(16a) は P チャネルの第 1 の CMOS トランジスタと N チャネルの第 2 の CMOS トランジスタから構成される第 1 のトランスミツションゲート、(16b) は P チャネルの第 3 の CMOS トランジスタと N チャネルの第 4 の CMOS トランジスタから構成される第 2 のトランスミツションゲート、(17a) および (17b) は P チャネルの CMOS トランジスタ、(18a) および (18b) は N チャネルの CMOS トランジスタ、(19a) および (19b) はインバータ、(20) は出力信号 J を出力するインバータ (19a) の出力端子、(21) は出力信号 I を出力するインバータ (19b) の出力端子である。

次に上記構成による CMOS 論理回路の動作について説明する。まず、入力信号 A が「0」の場合、インバータ (19a) の出力信号 J は「1」となるので、第 1 のトランスミツションゲート (16a) はオフ

( 非導通 ) となると共に、第 2 のトランスミツションゲート (16b) はオン ( 導通 ) となる。このため、出力端子 (3) から出力する出力信号 C には入力信号 B の状態がそのまま伝えられる。逆に、入力信号 A が「1」の場合、第 1 のトランスミツションゲート (16a) がオンとなると共に、第 2 のトランスミツションゲート (16b) がオフとなるので、出力端子 (3) から出力する出力信号 C には入力信号 B の逆転した状態の信号  $\bar{B}$  が伝えられる。このようにして、第 3 表に示す真理値表により動作することができる。

第 3 表

入 力		出 力		
A	B	C	J	I
0	0	0	1	1
1	0	1	0	1
0	1	1	1	0
1	1	0	0	0

第7図はこの発明に係るCMOS論理回路の他の実施例を示す回路図であり、特にCMOSトランジスタを用いて構成したEX-NORの正論理回路である。また、第8図は第5図に示すEX-NORを一部論理記号で示した回路図である。同図において、(22a)はPチャネルの第1のCMOSトランジスタとNチャネルの第2のCMOSトランジスタから構成される第1のトランスミッシヨングート、(22b)はPチャネルの第3のCMOSトランジスタとNチャネルの第2のCMOSトランジスタから構成される第2のトランスミッシヨングート、(23a)および(23b)はPチャネルのCMOSトランジスタ、(24a)および(24b)はNチャネルのCMOSトランジスタ、(25a)はPチャネルのCMOSトランジスタ(23a)とNチャネルのCMOSトランジスタ(24a)からなるインバータ、(25b)はPチャネルのCMOSトランジスタ(23b)とNチャネルのCMOSトランジスタ(24b)からなるインバータ、(26)は出力信号Kを出力するインバータ(25a)の出力端子、(27)は出力信号Lを出力するインバータ(25b)の

出力端子である。

次に上記構成によるCMOS論理回路の動作について説明する。まず、入力信号Dが「0」の場合、インバータ(25b)の出力信号Lは「1」となるので、第1のトランスミッシヨングート(22a)はオン(導通)になると共に、第2のトランスミッシヨングート(22b)はオフ(非導通)になる。このため、出力端子(11)から出力する出力信号Fには入力信号Eの反転した状態 $\bar{E}$ が出力する。逆に、入力信号Dが「1」の場合、インバータ(25b)の出力信号Lは「0」となるので、第1のトランスミッシヨングート(22a)はオフ(非導通)になると共に、出力端子(11)から出力する出力信号Fには入力信号Eの状態がそのまま伝えられる。このようにして、第4表に示す真理値表により動作することができる。



第 4 表

入 力		出 力		
D	E	F	L	K
0	0	1	1	1
1	0	0	0	1
0	1	0	1	0
1	1	1	0	0

なお、上述の実施例では論理「0」を低電圧レベル、論理「1」を高電圧レベルとする正論理について説明したが、論理「0」を高電圧レベル、論理「1」を低電圧レベルとする負論理を使つたときには正論理のEX-ORがこのときのEX-NORとして機能し、正論理のEX-NORがこのときのEX-ORとして機能することはもちろんである。

#### 〔発明の効果〕

以上詳細に説明したように、この発明に係るCMOS論理回路によればインバータとトランスファゲートを用いて構成することによつて、必要な

トランジスタの数を少なく(例えば8個)することができるので、集積回路で構成する場合には少ない占有面積で実現でき、配線、他の静電容量および容量負荷を小さくでき、スイッチング時間を短くすることができる。しかも、出力端子(20)、(21)、および出力端子(26)、(27)から、入力信号の逆転した出力が得られるので、インバータを必要とする他の回路とインバータを共用できるなどの効果がある。

#### 4. 図面の簡単な説明

第1図は従来のCMOS論理回路を示す回路図、第2図は第1図のイクスクルーシブ・オアを論理記号で示した回路図、第3図は従来の他のCMOS論理回路を示す回路図、第4図は第3図のイクスクルーシブ・ノアを論理記号で示した回路図、第5図はこの発明に係るCMOS論理回路の一実施例を示す回路図、第6図は第5図に示すイクスクルーシブ・オアの一部を論理記号で示した回路図、第7図はこの発明に係るCMOS論理回路の他の実施例を示す回路図、第8図は第7図に示すイクス

クルーシブ・ノアの一部を論理記号で示した回路図である。

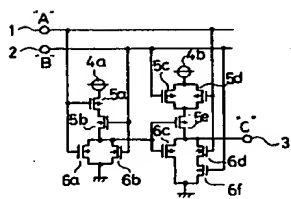
(1) . . . . . 第1入力端子、(2) . . . . . 第2入力端子、(3) . . . . . 出力端子、(4a) および (4b) . . . . . 電源端子、(5a) ~ (5e) . . . . . PチャネルのCMOSトランジスタ、(6a) ~ (6f) . . . . . NチャネルのCMOSトランジスタ、(7) . . . . . アンドゲート、(8a) および (8b) . . . . . ノアゲート、(9) . . . . . 第1入力端子、(10) . . . . . 第2入力端子、(11) . . . . . 出力端子、(12a) ~ (12e) . . . . . PチャネルのCMOSトランジスタ、(13a) ~ (13e) . . . . . NチャネルのCMOSトランジスタ、(14) . . . . . オアゲート、(15a) および (15b) . . . . . ナンドゲート、(16a) . . . . . 第1のトランスファゲート、(16b) . . . . . 第2のトランスファゲート、(17a) および (17b) . . . . . PチャネルのCMOSトランジスタ、(18a) および (18b) . . . . . NチャネルのCMOSトランジスタ、(19a) および (19b) . . . . . インバータ、(20) および (21) . . . . . 出力端子、

(22a) . . . . . 第1のトランスファゲート、(22b) . . . . . 第2のトランスファゲート、(23a) および (23b) . . . . . PチャネルのCMOSトランジスタ、(24a) および (24b) . . . . . NチャネルのCMOSトランジスタ、(25a) および (25b) . . . . . インバータ、(26) および (27) . . . . . 出力端子。

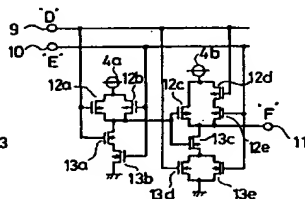
なお、図中、同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

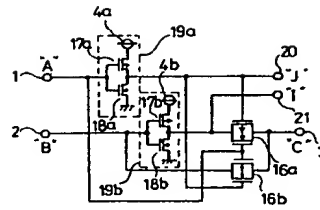
第 1 図



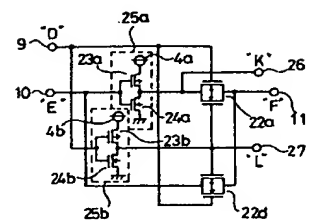
第 3 図



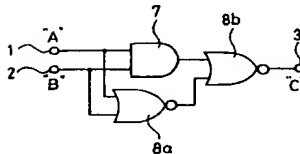
第 5 図



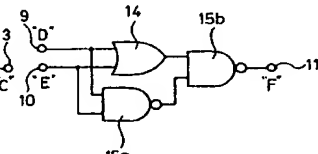
第 7 図



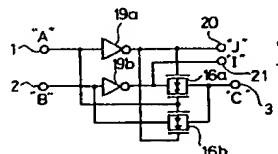
第 2 図



第 4 図



第 6 図



第 8 図

